

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0055966
Application Number

출원 년 월 일 : 2002년 09월 14일
Date of Application SEP 14, 2002

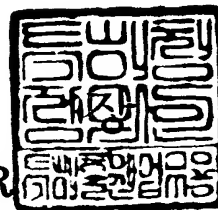
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 02 월 21 일

특 허 청

COMMISSIONER





출력 일자: 2003/2/24

	【서지사항】	
【서류명】	서지사항	보정서
【수신처】	특허청장	
【제출일자】	2003.02.19	
【제출인】		
【명칭】	삼성전자	주식회사
【출원인코드】	1-1998-104271-3	
【사건과의 관계】	출원인	
【대리인】		
【성명】	이영필	
【대리인코드】	9-1998-000334-6	
【포괄위임등록번호】	2003-003435-0	
【대리인】		
【성명】	정상빈	
【대리인코드】	9-1998-000541-1	
【포괄위임등록번호】	2003-003437-4	
【사건의 표시】		
【출원번호】	10-2002-0055966	
【출원일자】	2002.09.14	
【심사청구일자】	2002.09.14	
【발명의 명칭】	능동적 복원기능을 갖는 메모리를 구비하는 반도체	메모리 장 치
【제출원인】		
【접수번호】	1-1-02-0301530-75	
【접수일자】	2002.09.14	
【보정할 서류】	특허출원서	
【보정할 사항】		
【보정대상항목】	발명자	
【보정방법】	정정	
【보정내용】		
【발명자】		
【성명의 국문표기】	권기원	
【성명의 영문표기】	KWON, Kee Won	
【주민등록번호】	660626-1810114	

출력 일자: 2003/2/24

【우편번호】	463-739
【주소】	경기도 성남시 분당구 미금동(까치마을) 신원 아파트 304-201
【국적】	KR
【발명자】	
【성명의 국문표기】	안수진
【성명의 영문표기】	AHN,Su Jin
【주민등록번호】	691205-2231316
【우편번호】	143-771
【주소】	서울특별시 광진구 자양2동 한양아파트 5-107
【국적】	KR
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조 의 규정에의하여 위와 같 이 제출합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【보정료】	0 원
【기타 수수료】	원
【합계】	0 원

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2002.09.14
【국제특허분류】	H01L
【발명의 명칭】	능동적 복원기능을 갖는 메모리를 구비하는 반도체 메모리 장치
【발명의 영문명칭】	Semiconductor memory device comprising memory having active restoration function
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	권기원
【성명의 영문표기】	KWON, Kee Won
【주민등록번호】	660626-1810114
【우편번호】	463-739
【주소】	경기도 성남시 분당구 미금동(까치마을) 신원아파트 304-201
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 5 면 5,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 13 항 525,000 원

【합계】 559,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

반도체 메모리 장치가 제공된다. 상기 반도체 메모리 장치는 제1방향으로 배열되는 감지선; 상기 제1방향으로 배열되는 데이터 라인; 상기 감지선과 상기 데이터 라인 사이에 접속되는 능동적 복원기능을 갖는 메모리; 및 상기 감지선과 상기 데이터 라인 사이에 접속되고, 상기 감지선상의 데이터를 감지하고 증폭하고 반전된 상기 데이터를 상기 데이터 라인상으로 출력하기 위한 감지증폭기를 구비하며, 상기 감지선상의 데이터의 극성은 상기 데이터 라인상의 데이터의 극성과 서로 반대이고, 상기 데이터 라인상의 데이터는 상기 메모리로 다시 기입된다. 상기 반도체 메모리 장치는 감지증폭기의 감지동작에서 얻은 결과를 부가적인 회로나 부가적인 동작 없이 데이터 라인에 다시 기입할 수 있는 능동적 복원기능을 수행하는 장점이 있다.

【대표도】

도 3a

【색인어】

능동적 복원(active restoration), STTM(scalable two transistor memory), gain cell

【명세서】

【발명의 명칭】

능동적 복원기능을 갖는 메모리를 구비하는 반도체 메모리 장치 {Semiconductor memory device comprising memory having active restoration function}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 종래의 STTM의 단면도를 나타낸다.

도 2는 도 1의 STTM의 대략적인 회로도를 나타낸다.

도 3a는 본 발명의 제1실시예에 따른 반도체 메모리 장치의 회로도를 나타낸다.

도 3b는 도3a의 상세도를 나타낸다.

도 4a는 본 발명의 제2실시예에 따른 반도체 메모리 장치의 회로도를 나타낸다.

도 4b는 도4a의 상세도를 나타낸다.

도 5는 본 발명의 제3실시예에 따른 반도체 메모리 장치의 회로도를 나타낸다.

도 6은 본 발명의 제4실시예에 따른 반도체 메모리 장치의 회로도를 나타낸다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<10> 본 발명은 반도체 메모리 장치에 관한 것으로, 보다 상세하게는 능동적 복원기능을 갖는 메모리의 감지선과 데이터 라인사이에 배치(layout)되는 감지증폭기를 구비하는

반도체 메모리 장치 및 상기 능동적 복원기능을 갖는 메모리를 래치의 일부로 사용할 수 있는 래치형 감지증폭기를 구비하는 반도체 메모리 장치에 관한 것이다.

<11> 반도체 메모리 장치는 셀의 종류에 따라 크게 RAM과 ROM으로 분류된다. RAM은 데이터를 임의로 써넣고(write) 저장하여(store)하며 읽어(read)낼 수 있는 메모리 장치이다. RAM은 RAM에 공급되는 전원이 차단되면 RAM에 저장된 데이터가 소멸되는 휘발성 기억소자(volatile memory)이다.

<12> 컴퓨터에서 저장장치로 사용되는 DRAM에서, 정보를 저장하기 위한 메모리 셀은 하나의 저장 커패시터(storage capacitor)와 상기 저장 커패시터에 저장된 전하를 읽기 위한 하나의 트랜지스터를 구비한다.

<13> 이러한 DRAM의 메모리 셀에 저장된 전하는 시간의 경과에 따른 누설전류에 의하여 상실된다. 따라서 DRAM은 상기 저장 커패시터에 저장된 정보를 잃기 전에 상기 전하를 회복(restoring)하기 위한 주기적인 리프레쉬를 필요로 한다.

<14> ROM은 ROM에 공급되는 전원이 차단되는 경우에도, ROM에 저장된 전하를 보존할 수 있다. 따라서 ROM은 비휘발성 기억소자(non-volatile memory)이다. 따라서 ROM은 주기적인 리프레쉬를 필요로 하지 않는다. 본 발명에 따른 반도체 메모리 장치에 사용되는 능동적 복원기능을 갖는 메모리에 대한 배경기술은 미국특허번호 US 6,169,308에 상세히 기재되어 있다.

<15> 도 1은 종래의 STTM의 단면도를 나타내고, 도 2는 도 1의 STTM(scalable two transistor memory; 이하 'STTM'이라 한다.)의 대략적인 회로도를 나타낸다. 도 1 및 도 2를 참조하면, 10은 실리콘 기판을 나타내고, 20은 감지선(sensing line, 또는 비트라

인(bit line))을 나타내고, 30은 접지선을 나타낸다. 40은 필드 절연체(field insulator)를 나타내고, 50은 절연체(예컨대 게이트 산화막(gate oxide))를 나타낸다. 60은 데이터라인을 나타내고, 70은 저장노드(storage node)를 나타내고, 80은 워드라인(또는 컨트롤 게이트를 나타낸다.)을 나타낸다. 그리고 200은 STTM의 메모리 셀을 나타내고, Cp는 기생 커패시터를 나타낸다. 도 1 및 도 2의 관계는 당업자에게 용이하게 이해될 수 있다.

<16> 저장노드(70)에 저장된 데이터(또는 전하)는 워드라인(80)에 공급되는 전압의 크기에 따라 유지(hold), 독출(read)되거나, 또는 데이터 라인(60)상의 데이터는 워드라인(80)에 공급되는 전압의 크기에 따라 저장노드(70)로 기입된다. 데이터 라인(60)상의 데이터를 저장노드(70)로 기입하기 위한 워드라인(80)의 전압레벨은 저장노드(70)에 저장된 데이터를 비트라인(20)으로 독출하기 위한 전압레벨보다 높다. 트랜지스터(210)는 데이터 독출을 위한 트랜지스터이고, 트랜지스터(230)는 저장노드(70)로 데이터 라인(60)상의 데이터를 기입하기 위한 트랜지스터이다.

<17> 도 1 및 도 2에 도시된 STTM은 비휘발성 기억소자로 개발되었다. 그러나 다결정실리콘(polycrystalline silicon)을 사용하여 제작되는 수직형 STTM의 특성이 열악하여 STTM에 저장된 정보는 휘발성으로 되고, 또한 독출동작 중 STTM에 저장된 정보가 파괴되는 파괴적 읽어내기(destructive read)를 하므로, 매번 STTM에 저장된 정보를 액세스(또는 읽어낼 때마다)할 때마다 STTM은 그 액세스 결과를 STTM에 다시 써 주어야 하는 능동적 복원(active restoration)기능이 필요하다. STTM은 능동적 복원기능을 갖는 메모리 장치의 일예이다.

<18> STTM의 동작을 보면, 감지선(또는 비트라인, 20)상의 데이터는 저장노드(70)에 저장된 데이터의 극성(예컨대 '하이')과 반대 극성(예컨대 '로우')을 가지므로, 감지증폭기(미 도시)는 감지선상 또는 비트라인(20)상의 데이터를 증폭한 후, 감지선상의 데이터의 극성과 반대의 극성을 갖는 데이터를 STTM(200)에 써넣는다.

<19> 따라서 종래의 STTM이 액세스되는 경우, STTM을 액세스한 회수(예컨대 짝수 번 또는 홀수 번)를 기억하기 위한 부가적인 회로 및 STTM에 저장된 데이터가 음인지 또는 양인지를 판단하기 위한 부가적인 회로가 필요하다.

【발명이 이루고자 하는 기술적 과제】

<20> 따라서 본 발명이 이루고자 하는 기술적인 과제는 감지증폭기의 감지동작에서 얻은 결과를 부가적인 회로나 부가적인 동작 없이 데이터 라인에 다시 기입할 수 있는 능동적 복원기능을 구비하는 메모리 장치를 제공하는 것이다.

【발명의 구성 및 작용】

<21> 상기 기술적 과제를 달성하기 위한 반도체 메모리 장치는 제1방향으로 배열되는 감지선; 상기 제1방향으로 배열되는 데이터 라인; 상기 감지선과 상기 데이터 라인사이에 접속되는 능동적 복원기능을 갖는 메모리; 및 상기 감지선과 상기 데이터 라인사이에 접속되고, 상기 감지선상의 데이터를 감지하고 증폭하고 반전된 상기 데이터를 상기 데이터 라인상으로 출력하기 위한 감지증폭기를 구비하며, 상기 감지선상의 데이터의 극성은 상기 데이터 라인상의 데이터의 극성과 서로 반대이고, 상기 데이터 라인상의 데이터는 상기 메모리로 다시 기입된다.

- <22> 상기 능동적 복원기능을 갖는 메모리는 반도체 기판상에 형성되는 트랜지스터의 게이트를 구비하는 저장노드를 구비하고, 상기 데이터 라인에 상기 저장노드 위에 적층되고, 상기 데이터 라인상의 전하는 상기 데이터 라인 위에 적층된 워드라인의 전압에 따라 상기 저장노드로 주입되거나 또는 상기 저장노드로부터 방전된다.
- <23> 상기 능동적 복원기능을 갖는 메모리의 저장노드에 저장된 데이터는 상기 능동적 복원기능을 갖는 메모리의 워드라인으로 공급되는 제1전압에 응답하여 상기 감지선으로 독출되고, 상기 데이터 라인상의 데이터는 상기 워드라인으로 공급되는 제2전압에 응답하여 상기 능동적 복원기능을 갖는 메모리의 저장노드로 기입된다. 상기 제1전압은 상기 제2전압보다 낮다. 상기 능동적 복원기능을 갖는 메모리는 STTM(scalable two transistor memory)이다.
- <24> 상기 기술적 과제를 달성하기 위한 반도체 메모리 장치는 제1비트라인, 제1데이터 라인 및 상기 제1비트라인과 상기 제1데이터 라인 사이에 접속되는 제1 능동적 복원기능을 갖는 메모리를 구비하는 제1블락; 제2비트라인, 제2데이터 라인 및 상기 제2비트라인과 상기 제2데이터 라인 사이에 접속되는 제2능동적 복원기능을 갖는 메모리를 구비하는 제2블락; 및 상기 제1블락과 상기 제2블락 사이에 위치하고, 상기 제1비트라인과 상기 제1데이터 라인 사이에 접속되는 반전 감지증폭기를 구비하며, 상기 제1비트라인은 상기 반전 감지증폭기를 통하여 상기 제2데이터 라인과 접속되고 상기 제1데이터 라인은 상기 반전 감지증폭기를 통하여 상기 제2비트라인과 접속되고, 상기 각 비트라인상의 데이터의 극성은 상기 각 데이터 라인상의 데이터의 극성과 서로 반대이고, 상기 각 데이터 라인상의 데이터는 상기 대응되는 제1능동적 복원기능을 갖는 메모리 또는 제2능동적 복원기능을 갖는 메모리로 다시 기입된다.

- <25> 상기 기술적 과제를 달성하기 위한 반도체 메모리 장치는 비트라인; 데이터 라인; 상기 비트라인과 상기 데이터 라인 사이에 접속되는 능동적 복원기능을 갖는 메모리; 및 상기 비트라인과 상기 데이터 라인 사이에 접속되는 반전회로를 구비하며, 상기 데이터라인상의 데이터의 극성은 상기 비트라인상의 데이터의 극성과 서로 반대이다. 상기 능동적 복원기능을 갖는 메모리와 상기 반전회로는 래치루프를 형성한다.
- <26> 상기 기술적 과제를 달성하기 위한 반도체 메모리 장치는 비트라인; 제1전압과 상기 비트라인 사이에 접속되고, 제어신호에 응답하여 상기 비트라인과 상기 제1전압을 스위칭하는 제1스위칭 회로; 데이터 라인; 제2전압과 상기 데이터 라인 사이에 접속되고, 상기 제어신호에 응답하여 상기 데이터 라인과 상기 제2전압을 스위칭하는 제2스위칭 회로; 상기 비트라인과 상기 데이터 라인 사이에 접속되는 능동적 복원기능을 갖는 메모리; 및 제3전압과 상기 데이터 라인 사이에 접속되고, 상기 비트라인의 전압에 응답하여 상기 제3전압과 상기 데이터 라인을 접속하는 제3스위칭 회로를 구비한다. 상기 능동적 복원기능을 갖는 메모리와 상기 제3스위칭 회로는 래치를 구성한다. 상기 데이터 라인상의 데이터는 상기 능동적 복원기능을 갖는 메모리로 기입된다.
- <27> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <28> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <29> 도 3a는 본 발명의 제1실시예에 따른 반도체 메모리 장치의 회로도를 나타낸다. 도 3a를 참조하면, 반도체 메모리 장치(300)는 감지선(sensing line, 이하 'SL'이라

한다.), 데이터 라인(data line, 이하 'DL'이라 한다.), STTM 메모리 셀들(310, 320) 및 반전 감지증폭기(inverting sense amplifier; 330)를 구비한다.

<30> 반전 감지증폭기(330)는 인버터들(331, 333)을 구비하며, 데이터 라인(DL)은 인버터(331)의 입력단에 접속되고 감지선(또는 비트라인; SL)은 인버터(331)의 출력단에 접속된다. 감지선(또는 비트라인; SL)은 인버터(333)의 입력단에 접속되고 데이터 라인(DL)은 인버터(333)의 출력단에 접속된다.

<31> 도 3b는 도 3a의 상세도를 나타낸다. 도 1 내지 도 3b를 참조하면, 각 STTM(310, 320)은 제1방향(예컨대 세로방향)으로 배열되는 감지선(SL)과 데이터 라인(DL)사이에 접속된다. 반전 감지증폭기(330)는 감지선(SL)과 데이터 라인(DL)사이에 접속되고, 감지선(SL)상의 데이터를 감지하고 증폭하고 반전시켜 데이터 라인(DL)으로 출력하고, 데이터 라인(DL)상의 데이터를 감지하고 증폭하고 반전시켜 감지선(SL)상으로 출력한다.

<32> 반전 감지 증폭기(330)는 감지선(SL) 및/또는 데이터 라인(DL)의 데이터에 응답하여 감지선(SL) 및/또는 데이터 라인(DL)을 소정의 상태(S, /S)로 만든다. 도 3b에 도시된 바와 같이 반전 감지 증폭기(330)는 다수개의 MOS 트랜지스터들(331, 333, 335, 337)을 구비한다. 여기서 S와 /S 각각은 하이 또는 로우를 갖는다.

<33> 감지선(SL)상의 데이터의 극성(예컨대 하이(high))은 상기 데이터 라인(DL)상의 데이터의 극성(예컨대 로우(low))과 서로 반대이다. 예컨대 반전감지 증폭기(330)는 로우인 감지선(SL)상의 데이터를 감지하고 증폭하고 반전된 하이인 데이터를 데이터 라인(DL)상으로 출력한다. 이 경우 데이터 라인(DL)상의 하이인 데이터는 STTM(310)의 저장

노드로 기입되므로, STTM을 구비하는 반도체 메모리 장치는 능동적 복원기능을 갖는다.

<34> 도 1의 STTM의 저장노드(70)는 반도체 기판(10)상에 형성되는 트랜지스터의 게이트로, 데이터 라인(60)은 저장노드(70) 위에 적층되고, 데이터 라인(60)상의 데이터(또는 전하)는 워드라인(80)에 공급되는 전압의 크기에 따라 저장노드(70)로 기입(또는 주입(injection))되거나 또는 저장노드(70)로부터 삭제(또는 반전(discharge))된다.

<35> 예컨대 STTM의 저장노드(70)에 저장된 데이터(또는 전하)는 STTM의 워드라인 (80, 또는 WLn)으로 공급되는 제1전압에 응답하여 감지선(20, 또는 SL)으로 독출되고, 데이터 라인(60)상의 데이터는 워드라인(80)으로 공급되는 제2전압에 응답하여 STTM의 저장노드(70)로 기입(또는 주입)된다. 상기 제1전압은 상기 제2전압보다 낮다.

<36> 도 4a는 본 발명의 제2실시예에 따른 반도체 메모리 장치의 회로도를 나타내고, 도 4b는 도4a의 상세도를 나타낸다. 도 4a 및 도 4b를 참조하면, 반도체 메모리 장치(400, 400')는 제1블락(410)과 제2블락(430) 및 반전 감지 증폭기(420)를 구비한다.

<37> 제1블락(410)은 제1비트라인(SL1), 제1데이터 라인(DL1) 및 제1비트라인 (SL1)과 제1데이터 라인(DL1)사이에 접속되는 제1STTM(411)을 구비하고, 제2블락 (430)은 제2비트라인(SL2), 제2데이터 라인(DL2) 및 제2비트라인(SL2)과 제2데이터 라인(DL2)사이에 접속되는 제2STTM(431)을 구비한다.

<38> 반전 감지증폭기(420)는 제1블락(410)과 제2블락(430)사이에 위치하고, 제1비트라인(SL1)과 제1데이터 라인(DL1)사이에 접속되는 반전회로들(421, 423)을 구비한다. 인버터(423)는 제1비트라인(SL1)상의 신호를 반전시켜 제1데이터 라인 (DL1)으로 출력하고,

인버터(421)는 제1데이터 라인(DL1)상의 데이터를 반전시켜 제1비트라인(SL1)으로 출력한다. 반전 감지 증폭기(420)는 다수개의 MOS 트랜지스터들(421_1, 421_2, 423_1, 423_2)을 구비한다. 다수개의 MOS 트랜지스터들(421_1, 421_2, 423_1, 423_2)의 동작은 당업자에게 자명하다.

<39> 제1비트라인(SL1)은 반전 감지증폭기(420)를 통하여 제2데이터 라인(DL2)과 접속되고 제1데이터 라인(DL1)은 반전 감지증폭기(420)를 통하여 제2비트라인(SL2)과 접속된다.

<40> 따라서 상기 각 비트라인(SL1, SL2)상의 데이터의 극성은 각 반전회로(421, 423)에 의하여 각 데이터 라인상(DL1, DL2)의 데이터의 극성과 서로 반대이다. 각 데이터 라인(DL1, DL2)상의 데이터는 대응되는 제1STTM(411) 또는 제2 STTM(431)으로 다시 기입된다

<41> 도 4a 및 도 4b에처럼 반전 감지증폭기(420)를 인접하는 블록들(410, 430)사이에 배치하는 경우, 반도체 집적회로의 집적도를 증가시킬 수 있으며 반전 감지증폭기(420)의 양단에 접속된 비트라인(SL1, SL2)과 데이터 라인(DL1, DL2)의 부하를 균형(balance)있게 만들어 반전 감지증폭기(420)의 오프셋을 최소화 할 수 있는 장점이 있다.

<42> 도 5는 본 발명의 제3실시예에 따른 반도체 메모리 장치의 회로도들을 나타낸다. 도 5를 참조하면, 감지증폭기(500)는 감지선(SL), 데이터 라인(DL), 대응되는 워드라인(WLn , WL_{n+1})에 응답하는 STTM(511, 520) 및 반전회로(513)를 구비한다. 반전회로(513)와 역세스된 STTM(511)은 하나의 래치루프를 형성한다.

- <43> STTM은 일반적인 DTAM에 비하여 데이터 보유시간(data retention time)이 길고, 데이터를 기입하는 경우 STTM에서 소비되는 전류가 작아도 되고, 전류구동능력이 크다. 따라서 본 발명에 따른 반도체 메모리 장치에서 사용되는 래치(510)를 이용하여 STTM으로/으로부터 데이터를 기입하거나 데이터를 독출할 수 있고, 데이터 라인(DL)상의 데이터를 STTM으로 능동적 복원을 할 수 있다.
- <44> 도 6은 본 발명의 제4실시예에 따른 반도체 메모리 장치의 회로도를 나타낸다. 도 6을 참조하면, 반도체 메모리 장치(600)는 감지선(SL), 데이터 라인(DL), 제1스위칭회로(610), 래치(620), STTM(630) 및 제2스위칭회로(640)를 구비한다.
- <45> 제1스위칭회로(610)는 제1전압(VEQH)과 감지선(SL)사이 에 접속되고, 제어신호(/EQ)에 응답하여 감지선(SL)을 제1전압(VEQH)레벨로 프리차지 한다.
- <46> 제2스위칭회로(640)는 제2전압(VEQL)과 데이터 라인(DL)사이 에 접속되고, 제어신호(EQ)에 응답하여 데이터 라인(DL)을 제2전압(VEQL)레벨로 프리차지 한다. 여기서 제1전압(VEQH)레벨과 제2전압(VEQL)레벨은 서로 다르며, 제1전압(VEQH)레벨이 제2전압(VEQL)레벨보다 높은 것이 바람직하다.
- <47> STTM(630)은 도 1 및 도2에 도식된 것과 동일하며, 감지선(SL)과 데이터 라인(DL)사이 에 접속되고, 워드라인(WL_{n+1})의 전압에 따라 저장노드에 저장된 데이터를 유지(hold)하거나, 저장노드로/로부터 데이터를 기입하거나 독출할 수 있다.
- <48> 래치(620)는 STTM(621) 및 제3스위칭회로(623)를 구비한다. STTM(621)은 감지선(SL)과 데이터 라인(DL)사이 에 접속되고, 워드라인(WL)의 전압에 따라 저장노드에 저장된 데이터를 유지(hold)하거나, 저장노드로/로부터 데이터를 기입하거나 독출할 수

있다. 제3스위칭 회로(623)는 제3전압(VDD)과 데이터 라인(DL)사이에 접속되고, 감지선(SL)의 전압에 응답하여 데이터 라인(DL)과 제3전압(VDD)을 접속시킨다.

<49> 본 발명에 따른 래치형 감지증폭기는 반도체 메모리 장치내에서 레이아웃되는 면적을 줄일 수 있는 효과가 있다.

<50> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<51> 상술한 바와 같이 본 발명에 따른 반도체 메모리 장치는 감지증폭기의 감지 동작에서 얻은 결과를 부가적인 회로나 부가적인 동작 없이 데이터 라인에 다시 기입할 수 있는 능동적 복원기능을 수행하는 장점이 있다.

<52> 본 발명에 따른 반도체 메모리 장치는 능동적 복원기능을 갖는 메모리를 래치의 일부로 사용할 수 있으므로 감지증폭기가 레이아웃되는 면적이 감소되는 효과가 있다.

【특허청구범위】**【청구항 1】**

반도체 메모리 장치에 있어서,

제 1방향으로 배열되는 감지선;

상기 제1방향으로 배열되는 데이터 라인;

상기 감지선과 상기 데이터 라인사이에 접속되는 능동적 복원기능을 갖는 메모리;

및

상기 감지선과 상기 데이터 라인사이에 접속되고, 상기 감지선상의 데이터를 감지하고 증폭하고 반전된 상기 데이터를 상기 데이터 라인상으로 출력하기 위한 감지증폭기를 구비하며,

상기 감지선상의 데이터의 극성은 상기 데이터 라인상의 데이터의 극성과 서로 반대이고, 상기 데이터 라인상의 데이터는 상기 메모리로 다시 기입되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 2】

제1항에 있어서, 상기 능동적 복원기능을 갖는 메모리는,

반도체 기판상에 형성되는 트랜지스터의 게이트를 구비하는 저장노드를 구비하고, 상기 데이터 라인은 상기 저장노드 위에 적층되고, 상기 데이터 라인상의 전하는 상기 데이터 라인 위에 적층된 워드라인의 전압에 따라 상기 저장노드로 주입되거나 또는 상기 저장노드로부터 방전되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 3】

제1항에 있어서, 상기 능동적 복원기능을 갖는 메모리의 저장노드에 저장된 데이터는 상기 능동적 복원기능을 갖는 메모리의 워드라인으로 공급되는 제1전압에 응답하여 상기 감지선으로 독출되고, 상기 데이터 라인상의 데이터는 상기 워드라인으로 공급되는 제2전압에 응답하여 상기 능동적 복원기능을 갖는 메모리의 저장노드로 기입되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

제3항에 있어서, 상기 제1전압은 상기 제2전압보다 낮은 것을 특징으로 하는 반도체 메모리 장치.

【청구항 5】

제1항에 있어서, 상기 능동적 복원기능을 갖는 메모리는 STTM(scalable two transistor memory)인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 6】

능동적 복원기능을 갖는 메모리를 구비하는 반도체 메모리 장치에 있어서,
제 1방향으로 배열되고, 상기 능동적 복원기능을 갖는 메모리에 저장된 데이터를 독출하기 위한 감지선;

상기 제1방향으로 배열되고, 상기 능동적 복원기능을 갖는 메모리에 접속되는 데이터 라인; 및

상기 감지선과 상기 데이터 라인사이에 접속되고, 상기 감지선상의 데이터를 감지하고 증폭하고 반전된 상기 데이터를 상기 데이터 라인으로 출력하고, 상기 데이터 라인

상의 데이터를 감지하고 증폭하고 반전된 상기 데이터를 상기 감지선상으로 출력하기 위한 반전 감지증폭기를 구비하며,

상기 데이터 라인상의 데이터는 상기 능동적 복원기능을 갖는 메모리로 기입되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 7】

제6항에 있어서, 상기 능동적 복원기능을 갖는 메모리에 저장된 데이터는 상기 능동적 복원기능을 갖는 메모리의 워드라인으로 공급되는 제1전압에 응답하여 상기 비트라인으로 독출되고, 상기 데이터 라인상의 데이터는 상기 워드라인으로 공급되는 제2전압에 응답하여 상기 능동적 복원기능을 갖는 메모리로 기입되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 8】

반도체 메모리 장치에 있어서,

제 1비트라인, 제1데이터 라인 및 상기 제1비트라인과 상기 제1데이터 라인 사이에 접속되는 제1 능동적 복원기능을 갖는 메모리를 구비하는 제1블락;

제2비트라인, 제2데이터 라인 및 상기 제2비트라인과 상기 제2데이터 라인 사이에 접속되는 제2능동적 복원기능을 갖는 메모리를 구비하는 제2블락; 및

상기 제1블락과 상기 제2블락 사이에 위치하고, 상기 제1비트라인과 상기 제1데이터 라인 사이에 접속되는 반전 감지증폭기를 구비하며,

상기 제1비트라인은 상기 반전 감지증폭기를 통하여 상기 제2데이터 라인과 접속되고 상기 제1데이터 라인은 상기 반전 감지증폭기를 통하여 상기 제2비트라인과 접속되고,

상기 각 비트라인상의 데이터의 극성은 상기 각 데이터 라인상의 데이터의 극성과 서로 반대이고, 상기 각 데이터 라인상의 데이터는 상기 대응되는 제1능동적 복원기능을 갖는 메모리 또는 제2능동적 복원기능을 갖는 메모리로 다시 기입되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 9】

반도체 메모리 장치에 있어서,

비트라인 ;

데이터 라인;

상기 비트라인과 상기 데이터 라인사이에 접속되는 능동적 복원기능을 갖는 메모리; 및

상기 비트라인과 상기 데이터 라인사이에 접속되는 반전회로를 구비하며,

상기 데이터라인상의 데이터의 극성은 상기 비트라인상의 데이터의 극성과 서로 반대인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 10】

제9항에 있어서, 상기능동적 복원기능을 갖는 메모리와 상기 반전회로는 래치루프를 형성하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 11】

반도체 메모리 장치에 있어서,

비트라인 ;

제1전압과 상기 비트라인사이에 접속되고, 제어신호에 응답하여 상기 비트라인과
상기 제1전압을 스위칭하는 제1스위칭 회로;

데이터 라인;

제2전압과 상기 데이터 라인사이에 접속되고, 상기 제어신호에 응답하여 상기 데이
터 라인과 상기 제2전압을 스위칭하는 제2스위칭 회로;

상기 비트라인과 상기 데이터 라인사이에 접속되는 능동적 복원기능을 갖는 메모
리; 및

제3전압과 상기 데이터 라인사이에 접속되고, 상기 비트라인의 전압에 응답하여 상
기 제3전압과 상기 데이터 라인을 접속하는 제3스위칭 회로를 구비하는 것을 특징으로
하는 반도체 메모리 장치.

【청구항 12】

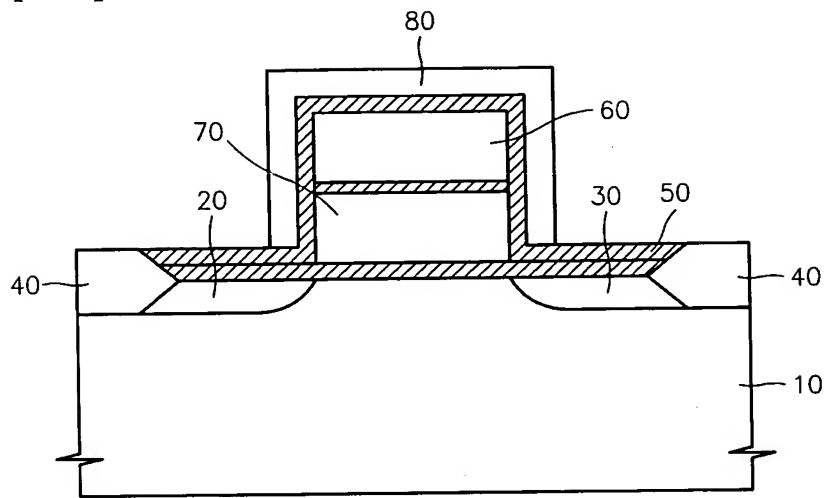
제11항에 있어서, 상기 능동적 복원기능을 갖는 메모리와 상기 제3스위칭 회로는
래치를 구성하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 13】

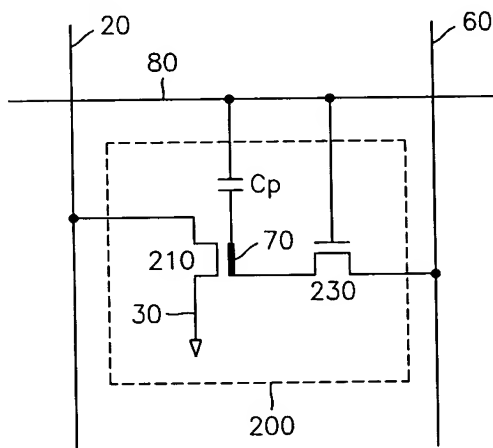
제11항에 있어서, 상기 데이터 라인상의 데이터는 상기 능동적 복원기능을 갖는 메
모리로 기입되는 것을 특징으로 하는 반도체 메모리 장치.

【도면】

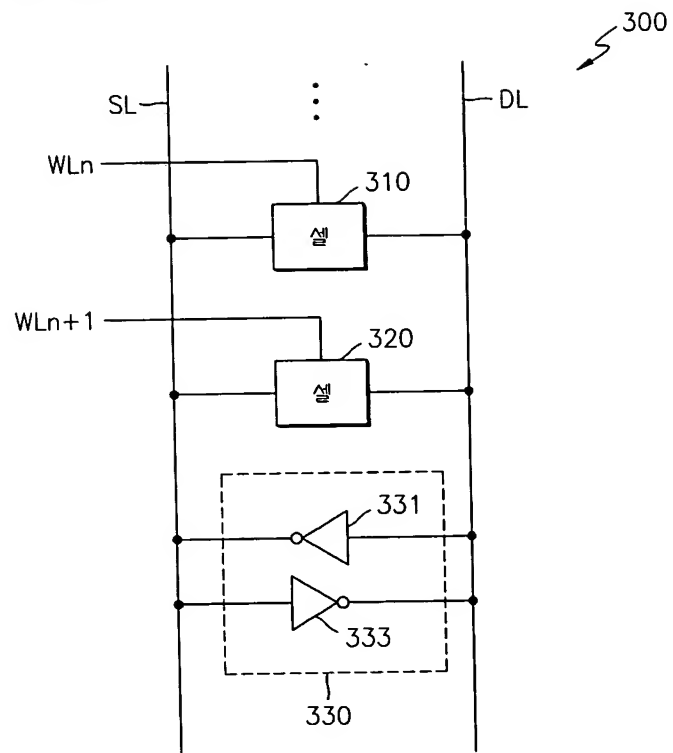
【도 1】



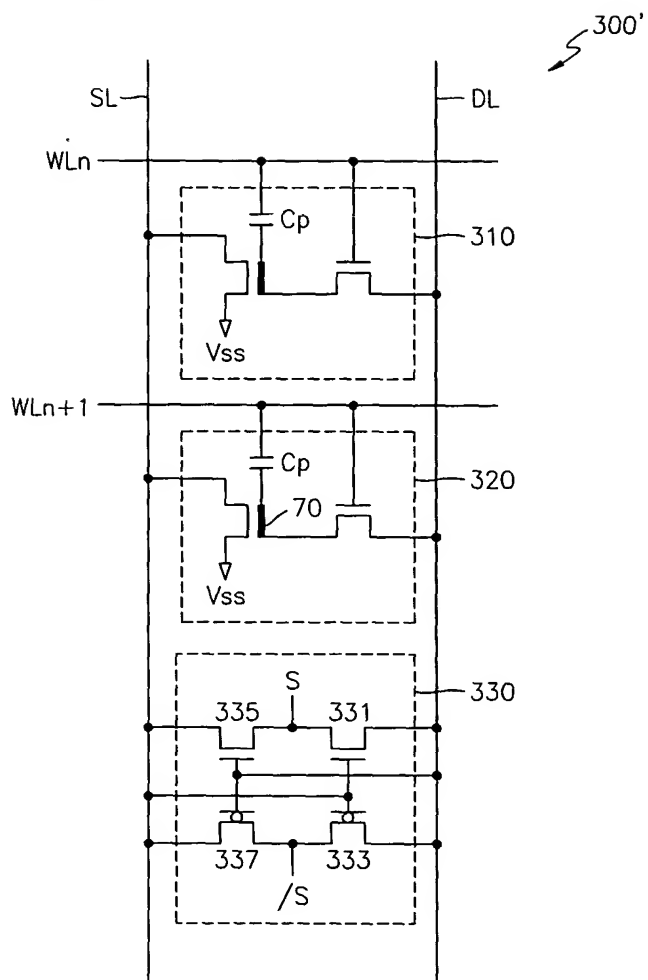
【도 2】



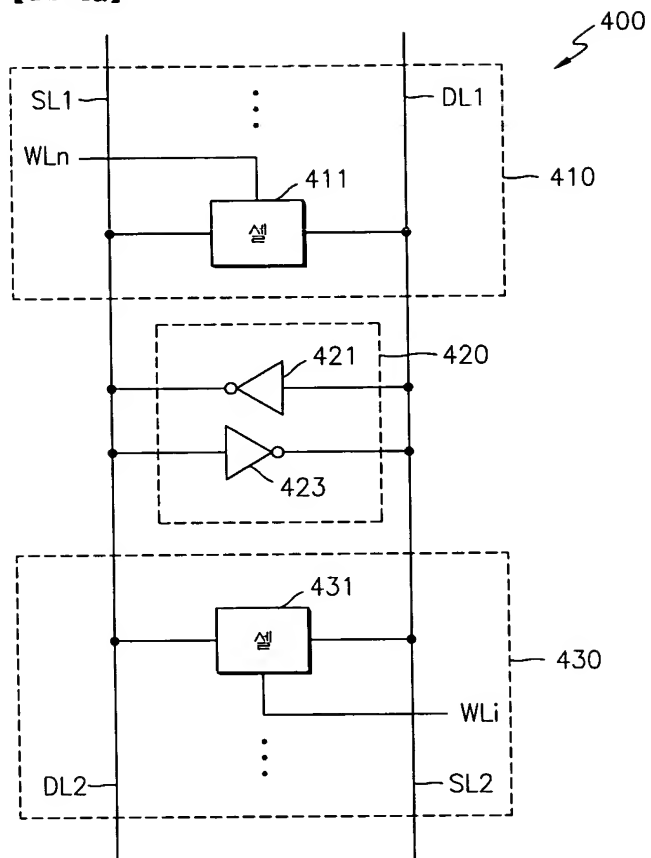
【도 3a】



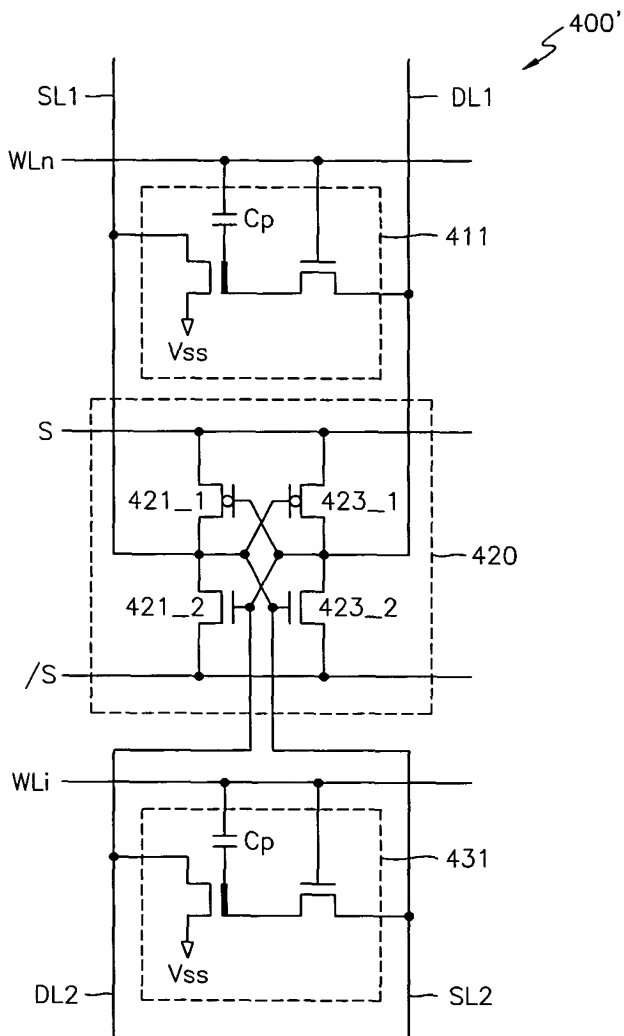
【도 3b】



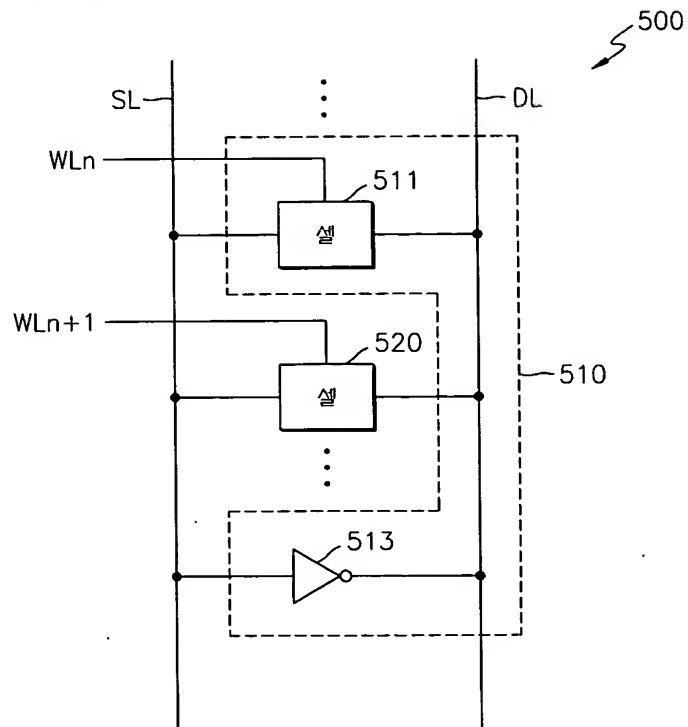
【도 4a】



【도 4b】



【도 5】



【도 6】

